

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Akinori HAYAKAWA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **October 22, 2003**

For: **PHOTOSEMICONDUCTOR DEVICE, METHOD FOR FABRICATING
PHOTOSEMICONDUCTOR DEVICE AND METHOD FOR DRIVING
PHOTOSEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: October 22, 2003

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-306832, filed October 22, 2002

Japanese Appln. No. 2002-355271, filed December 6, 2002

Japanese Appln. No. 2003-135908, filed May 14, 2003

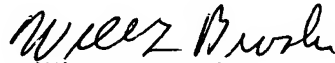
In support of this claim, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit
Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP



William L. Brooks
Attorney for Applicants
Reg. No. 34,129

WLB/jaz
Atty. Docket No. **031244**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 0 6 8 3 2
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 0 6 8 3 2]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

出証番号 出証特 2 0 0 3 - 3 0 5 7 8 6 6

【書類名】 特許願

【整理番号】 0240865

【提出日】 平成14年10月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 3/18

【発明の名称】 光半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 佐藤 嘉洋

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 森戸 健

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 関根 徳彦

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087479

 【弁理士】

 【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板の第 1 の領域上に形成され、電流注入により光を発生する第 1 の活性層と、前記第 1 の活性層との間に第 2 導電型の中間層を介して形成され、電流注入により発振波長を変化するチューニング層と、前記第 1 の活性層及び前記チューニング層の近傍に形成された回折格子とを有する光発振部と、

前記半導体基板の第 2 の領域上に形成され、電流注入により光を増幅する第 2 の活性層を有し、前記光発振部により発生した光を増幅する光増幅部とを有することを特徴とする光半導体装置。

【請求項 2】 請求項 1 記載の光半導体装置において、前記半導体基板と前記第 2 の活性層との間に、前記第 2 導電型のクラッド層が設けられていることを特徴とする光半導体装置。

【請求項 3】 請求項 2 記載の光半導体装置において、前記半導体基板と前記クラッド層との間に、導電型が互いに異なる 2 つの半導体層が形成されていることを特徴とする光半導体装置。

【請求項 4】 請求項 2 記載の光半導体装置において、前記半導体基板と前記クラッド層との間に、半絶縁性半導体層が形成されていることを特徴とする光半導体装置。

【請求項 5】 請求項 2 乃至 4 のいずれか 1 項に記載の光半導体装置において、前記光増幅部に電流を注入するための第 1 の電極及び電流を引き出すための第 2 の電極は、前記半導体基板の表面側に形成されていることを特徴とする光半導体装置。

【請求項 6】 請求項 1 記載の光半導体装置において、

前記第 2 の活性層上に、前記第 2 導電型のクラッド層が設けられていることを特徴とする光半導体装置。

【請求項 7】 請求項 6 記載の光半導体装置において、
前記光増幅部に電流を注入するための第 1 の電極は前記半導体基板の裏面側に形成されており、前記光増幅部から電流を引き出すための第 2 の電極は前記半導体基板の表面側に形成されている
ことを特徴とする光半導体装置。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の光半導体装置において、
前記光発振部と前記光増幅部との間に、光発振及び光増幅に寄与しない光導波路部を更に有する
ことを特徴とする光半導体装置。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の光半導体装置において、
前記光発振部は第 1 の幅を有するメサストライプ形状を有し、前記光増幅部は第 2 の幅を有するメサストライプ形状を有し、前記光発振部と前記光増幅部との間において、前記第 1 の幅から前記第 2 の幅に連続的に変化している
ことを特徴とする光半導体装置。

【請求項 10】 請求項 1 乃至 9 のいずれか 1 項に記載の光半導体装置において、
前記光発振部は、中心発振波長が互いに異なる複数の光発振素子を有し、
前記光発振部と前記光増幅部との間に、前記複数の光発振素子から出力される光を導波する複数の光導波路と、前記複数の光導波路と前記光増幅部とを接続する光合波部とを更に有する
ことを特徴とする光半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光半導体装置に係り、特に、広い波長可変範囲を有するとともに高

い光出力を得ることができる光半導体装置に関する。

【0002】

【従来の技術】

現在、大容量光通信ネットワークの基幹伝送系では、光信号を波長軸上で多重化することにより伝送容量の向上を図る波長分割多重（WDM：Wavelength Division Multiplexing）方式が用いられている。WDM方式では、多重数を増大するためには光源となる半導体レーザの個数を増加する必要がある。同時に、バックアップ用光源も同数以上必要となり、品種数の増加から在庫管理が煩雑になる。

【0003】

このような背景から、発振波長を可変しうる波長選択光源を用いて管理を簡素化することが望まれている。WDM方式に用いる波長選択光源としては、連続的な波長可変幅が広いことが要求されている。

【0004】

波長選択光源としては、これまでに様々な波長選択レーザが提案されている。例えば、DFBレーザやDBRレーザを用い温度を制御することにより発振波長を変化するタイプや、DBRレーザのチューニング領域に流す電流値を制御することにより発振波長を変化するタイプが知られている。また、DBRタイプでフィルタ機能を持ったGCSR-DBRレーザや、部分回折格子パターンの変調によるSG/SSG-DBRレーザが知られている。しかしながら、これらレーザ光源は、波長可変時に大きな光出力を得ることができない、連続的に波長を可変できる範囲が数nmと狭く波長制御が複雑である、モードホッピングにより不連続な波長可変になる、等の欠点があった。

【0005】

このような中で、チューナブルツインガイドDFBレーザ（以下、TTG-DFBレーザという）は、連続的な波長の可変幅が8nm程度と比較的広く、波長可変方法が単純であるという特徴を有している。TTG-DFBレーザは、例えば特許文献1及び特許文献2に記載されている。

【0006】

【特許文献 1】

特開平 7 - 1 3 1 1 2 1 号公報

【特許文献 2】

特開平 7 - 3 2 6 8 2 0 号公報

【0 0 0 7】**【発明が解決しようとする課題】**

上述の通り、TTG-DFB レーザは、連続的で比較的広い波長可変範囲を有するとともに、波長可変制御方法が容易であるという特徴を備えており、他のレーザに比べて魅力的である。しかしながら、TTG-DFB レーザも他のレーザと同様、波長を短波長側へ可変するために波長チューニング層に電流を注入することにより、レーザの内部損失が増加し、光出力が大きく減少するという欠点を有している。

【0 0 0 8】

これについては、活性層に更に電流を注入して減少した光出力を補償する手段もある。しかしながら、これは同時に活性層温度、つまりは素子温度の上昇を招き発信波長は長波長側へシフトする逆の効果が働くため、結果的に波長可変幅を減少させることになる。また、この温度上昇による波長のずれを波長チューニング電流で再度制御する必要がある、波長可変方法が複雑になってしまう。

【0 0 0 9】

特許文献 2 には、TTG-DFB レーザ、光位相調整器、光強度調整器、反射ミラーを集積した光半導体装置が開示されている。特許文献 2 では、光位相調整器及び光強度調整器からの戻り光を調節することにより、TTG-DFB レーザ内部における吸収損失を補っている。しかしながら、特許文献 2 に記載の方法は、制御が容易であるとはいえない。また、利得を持つ光素子の集積構造ではないため、光出力に関する大幅な増加は期待できなかった。

【0 0 1 0】

このように、上記従来の光半導体装置では、広い波長可変範囲を持ちながら高い光出力を実現することは困難であり、両者を同時に達成しうる光半導体装置が望まれていた。

【0011】

本発明の目的は、広い波長可変範囲を有するとともに高い光出力を得ることができる光半導体装置を提供することにある。

【0012】**【課題を解決するための手段】**

上記目的は、第1導電型の半導体基板の第1の領域上に形成され、電流注入により光を発生する第1の活性層と、前記第1の活性層との間に第2導電型の間層を介して形成され、電流注入により発振波長を変化するチューニング層と、前記第1の活性層及び前記チューニング層の近傍に形成された回折格子とを有する光発振部と、前記半導体基板の第2の領域上に形成され、電流注入により光を増幅する第2の活性層を有し、前記光発振部により発生した光を増幅する光増幅部とを有することを特徴とする光半導体装置によって達成される。半導体基板上にTTG-DFBレーザとSOAとを集積することにより、TTG-DFBレーザの特徴である連続且つ広い波長可変範囲を得ることができるとともに、SOAにより出力光を大幅に増加することができる。

【0013】**【発明の実施の形態】****[第1実施形態]**

本発明の第1実施形態による光半導体装置及びその製造方法について図1乃至図3を用いて説明する。

【0014】

図1は本実施形態による光半導体装置の構造を示す概略断面図、図2及び図3は本実施形態による光半導体装置の製造方法を示す工程断面図である。

【0015】

はじめに、本実施形態による光半導体装置の構造について図1を用いて説明する。なお、図1(a)はメサストライプの延在方向に沿った概略断面図、図1(b)は図1(a)のA-A'線断面に沿ったTTGレーザ部の概略断面図、図1(c)は図1(a)のB-B'線断面に沿ったSOA部の概略断面図である。

【0016】

半導体基板10上には、TTGレーザ部とSOA部とが設けられている。

【0017】

TTGレーザ部は、図1(b)に示すような断面構造を有している。p-InPよりなる半導体基板10上には、p-InP層12と、p-InPよりなる下部クラッド層14と、MQW(Multipule Quantum Well:多重量子井戸)活性層20と、n-InP層よりなる中間層22と、InGaAsP層よりなるチューニング層24と、p-InP層よりなるクラッド層25と、回折格子28が形成されたInGaAsP層26と、InP層よりなる埋め込み層30とが形成されている。埋め込み層30、InGaAsP層26、チューニング層24、中間層22、MQW活性層20及び下部クラッド層14は、メサ形状にパターンニングされ、メサストライプが形成されている。メサストライプの両側には、n-InP層よりなる埋め込み層38が形成されている。埋め込み層30、38上には、p-InP層40が形成されている。p-InP層40上には、p-InGaAs層よりなるコンタクト層42を介してAu/Znよりなる電極46が形成されている。埋め込み層38上には、Au/Geよりなる電極50が形成されている。半導体基板10の下面には、Au/Znよりなる電極54が形成されている。p-InP層12、40、埋め込み層38の露出面上には、シリコン酸化膜よりなる保護膜44が形成されている。

【0018】

SOA部は、図1(c)に示すような断面構造を有している。半導体基板10上には、p-InP層12と、n-InP層よりなる下部クラッド層18と、MQW活性層20と、p-InP層よりなる上部クラッド層34が形成されている。上部クラッド層34、MQW活性層20及び下部クラッド層18は、メサ形状にパターンニングされ、メサストライプが形成されている。メサストライプの両側には、n-InP層よりなる埋め込み層38が形成されている。上部クラッド層34及び埋め込み層38上には、p-InP層40が形成されている。p-InP層40上には、p-InGaAs層よりなるコンタクト層42を介してAu/Znよりなる電極48が形成されている。埋め込み層38上には、Au/Geよりなる電極52が形成されている。電極52は、TTGレーザ部の電極50に接

続する一つのパターンで形成するようにしてもよい。p-InP層12、40、埋め込み層38の露出面上には、シリコン酸化膜よりなる保護膜44が形成されている。

【0019】

また、TTGレーザ部のメサストライプとSOA部のメサストライプとは、図1(a)に示すように、双方のメサストライプが連なるように配置されている。また、TTGレーザ部のMQW活性層とSOA部のMQW活性層とは、共通の半導体層により構成されている。また、メサストライプの端面には、反射防止膜56が形成されている。

【0020】

次に、本実施形態による光半導体装置の動作について説明する。

【0021】

TTGレーザ部では、電極54と電極50との間に所定の電圧を印加し、電極54から電流を注入する。電極54から注入された電流は、InP層12及び下部クラッド層14を介してMQW活性層20に注入され、中間層22及び埋め込み層38を介して電極50から引き出される。MQW活性層20に発振閾値以上の電流を注入することにより、MQW活性層20で発光した光が回折格子28によりDFBモードで発振する。

【0022】

同時に、電極46と電極50との間に所定の電圧を印加し、電極46から電流を注入する。電極46から注入された電流は、p-InP層40、埋め込み層30及びInGaAsP層26を介してチューニング層24に注入され、中間層22及び埋め込み層38を介して電極50から引き出される。チューニング層24に電流を注入することにより、プラズマ効果で屈折率が減少し、光導波路層の実効的な屈折率が減少する。これにより、DFB発振波長は短波長化する。したがって、DFB発振波長は、チューニング層24に注入する電流により制御することができる。

【0023】

また、SOA部では、電極48と電極52との間に所定の電圧を印加し、電極

48から電流を注入する。電極48から注入された電流は、p-InP層40及び上部クラッド層34を介してMQW活性層20に注入され、下部クラッド層18及び埋め込み層38を介して電極52から引き出される。MQW活性層20に所定の電流を注入することにより、MQW活性層20内を伝搬する光を増幅することができる。このとき、下部クラッド層18はある程度の厚さを持っているため、電気抵抗を低く保ちながら活性層に電流を注入することができる。

【0024】

したがって、TTGレーザ部における波長可変の制御とSOA部における光増幅の制御とを独立して行うにあたり、SOA部での発熱は抑制され、利得波長の大きな長波化シフトと利得の低下が抑えられ、連続的に広い波長可変幅を持ちながら同時に程度の高い光出力を実現することができる。

【0025】

なお、TTG-DFBレーザとSOAとの集積化を考慮した場合、SOAに注入する電流値を変化したときにTTG-DFBレーザに注入する電流値が同時に変化しないように注意する必要がある。本実施形態による光半導体装置では、p-InP層40、p-InP層34、MQW活性層20、下部クラッド層18及び埋め込み層38によりSOAを構成しており、SOAのMQW活性層20に注入する電流がTTG-DFBレーザのMQW活性層20に注入する電流に影響することはない。

【0026】

次に、本実施形態による光半導体装置の製造方法について図2及び図3を用いて説明する。

【0027】

まず、例えば不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のp-InPよりなる半導体基板10上に、例えばMOCVD法により、例えば膜厚が2000nm、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のp-InP層12を堆積する。

【0028】

次いで、InP層12上に、例えばMOCVD法により、例えば不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のp-InP層を形成する。

【0029】

次いで、 $p-I n P$ 層上に、例えばCVD法により、例えば膜厚300nmのシリコン酸化膜16を堆積する。

【0030】

次いで、フォトリソグラフィー及びドライエッチングにより、シリコン酸化膜16をパターンニングし、SOA部のシリコン酸化膜16を選択的に除去する。

【0031】

次いで、シリコン酸化膜16をマスクとして $p-I n P$ 層を異方性エッチングし、SOA部の $p-I n P$ 層を選択的に除去する。こうして、TTGレーザ部に、 $p-I n P$ 層よりなる下部クラッド層14を形成する（図2（a））。

【0032】

次いで、SOA部の半導体基板10上に、例えばMOCVD法により、例えば膜厚が5000nm、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の $n-I n P$ 層を選択的に成長する。 $n-I n P$ 層は、下部クラッド層14とほぼ等しい厚さになるように成長する。こうして、SOA部に、 $n-I n P$ 層よりなる下部クラッド層18を形成する。

【0033】

次いで、下部クラッド層14上のシリコン酸化膜16を除去する（図2（b））。

【0034】

次いで、下部クラッド層14，18上に、例えばMOCVD法により、 $1.15 \mu\text{m}$ 組成の $I n G a A s P$ よりなる膜厚100nmのSCH層と、 $1.25 \mu\text{m}$ 組成の $I n G a A s P$ よりなる膜厚40nmのSCH層とを堆積する。

【0035】

次いで、SCH層上に、例えばMOCVD法により、 $1.25 \mu\text{m}$ 組成の $I n G a A s P$ よりなる膜厚9nmのバリア層と、0.8%の圧縮歪が導入された $I n G a A s P$ よりなる膜厚7nmの井戸層とを繰り返し堆積し、7層の井戸層を有し、MQWのPL波長が $1.55 \mu\text{m}$ である多重量子井戸層を形成する。

【0036】

次いで、多重量子井戸層上に、例えばMOCVD法により、 $1.25\mu\text{m}$ 組成のInGaAsPよりなる膜厚 40nm のSCH層とを堆積する。

【0037】

こうして、多重量子井戸層がSCH層により挟まれてなるMQW活性層20を形成する。なお、活性層の構造は、上述した構造に限定されるものではない。

【0038】

次いで、MQW活性層20上に、例えばMOCVD法により、例えば膜厚が 160nm 、不純物濃度が $1\times 10^{18}\text{cm}^{-3}$ のn-InP層と、膜厚 290nm の $1.3\mu\text{m}$ 組成のInGaAsP層とを形成する。こうして、MQW活性層20上に、n-InP層よりなる中間層22と、InGaAsP層よりなるチューニング層24とを形成する(図2(c))。

【0039】

次いで、チューニング層24上に、例えばMOCVD法により、例えば膜厚が 10nm 、不純物濃度が $1\times 10^{18}\text{cm}^{-3}$ のp-InP層よりなるクラッド層25と、膜厚 200nm の $1.15\mu\text{m}$ 組成のInGaAsP層26とを形成する。

【0040】

次いで、干渉露光法を用いたフォトリソグラフィー及びドライエッチングによりInGaAsP層26をエッチングし、InGaAsP層26の表面に回折格子28を形成する。回折格子28のピッチ間隔は、例えば 240nm とする。

【0041】

次いで、回折格子28が形成されたInGaAsP層26上に、例えばMOCVD法により、膜厚 100nm のp-InP層よりなる埋め込み層30を形成する(図2(d))。

【0042】

次いで、埋め込み層30上に、例えばCVD法により、シリコン酸化膜32を堆積する。

【0043】

次いで、フォトリソグラフィー及びドライエッチングにより、SOA部のシリ

コン酸化膜 32 を選択的に除去する。

【0044】

次いで、シリコン酸化膜 32 をマスクとして、埋め込み層 30、InGaAsP 層 26、チューニング層 24、中間層 22 をエッチングし、SOA 部の埋め込み層 30、InGaAsP 層 26、チューニング層 24 及び中間層 22 を除去する (図 3 (a))。

【0045】

なお、SOA 部のチューニング層 24 及び中間層 22 は、必ずしも除去する必要はない。チューニング層 24 は、クラッド層に比較すると活性層に近い組成を有するため、若干の光吸収がある。このため、SOA 部にチューニング層 24 を残存すると光損失が大きくなる。しかしながら、チューニング層 24 は、活性層と同様に光を閉じ込めるように作用するため、SOA 部で光導波路を曲げる場合にあっては、曲げ損失を低減する効果がある。チューニング層 24 を残存するかどうかは、光吸収と曲げ損失との兼ね合いから適宜選択することが望ましい。

【0046】

次いで、例えば MOCVD 法により、例えば不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、膜厚が 800 nm の p-InP 層を形成する。この p-InP 層は、埋め込み層 30 とほぼ等しい厚さになるように成長する。こうして、SOA 部に、p-InP 層よりなる上部クラッド層 34 を形成する。

【0047】

次いで、埋め込み層 30 上のシリコン酸化膜 32 を除去する。

【0048】

次いで、埋め込み層 30 及び p-InP 層 34 上に、例えば CVD 法により、シリコン酸化膜 36 を堆積する。

【0049】

次いで、フォトリソグラフィ及びドライエッチングにより、シリコン酸化膜 36 をパターンニングし、メサストライプの形成予定領域に選択的にシリコン酸化膜 36 を残存させる (図 3 (b))。

【0050】

次いで、シリコン酸化膜 36 をマスクとして、TTG レーザ部の埋め込み層 30、InGaAsP 層 26、チューニング層 24、中間層 22、MQW 活性層 20、下部クラッド層 14a を、及び SOA 部の上部クラッド層 34、MQW 活性層 20、下部クラッド層 18 を、異方性エッチングし、例えば幅が $1.0\ \mu\text{m}$ のメサストライプを形成する（図 1（b），（c）を参照）。

【0051】

次いで、メサストライプの両側に露出した InP 層 12 上に、例えば MOCVD 法により、例えば不純物濃度が $2 \times 10^{18}\text{cm}^{-3}$ 、膜厚が 1500nm の n-InP 層を選択的に成長する。こうして、メサストライプの両側に、n-InP 層よりなる埋め込み層 38 を形成する（図 1（b），（c）を参照）。

【0052】

次いで、メサストライプ上のシリコン酸化膜 36 を除去した後、全面に、例えば MOCVD 法により、例えば不純物濃度が $1 \times 10^{18}\text{cm}^{-3}$ 、膜厚が 5000nm の p-InP 層 40 を堆積する（図 3（c））。

【0053】

次いで、p-InP 層 40 上に、例えば MOCVD 法により、例えば不純物濃度が $1 \times 10^{18}\text{cm}^{-3}$ 、膜厚が 500nm の p-InP 層を形成する。こうして、p-InP 層よりなるコンタクト層 42 を形成する（図 1（b），（c）を参照）。

【0054】

次いで、フォトリソグラフィー及びドライエッチングにより、p-InP 層 40 をエッチングし、埋め込み層 38 へのコンタクトを形成するために埋め込み層 38 の上面を一部露出する。

【0055】

次いで、全面に、例えば CVD 法により、例えば膜厚 300nm のシリコン酸化膜を形成する。こうして、表面に、シリコン酸化膜よりなる保護膜 44 を形成する（図 1（b），（c）を参照）。

【0056】

次いで、通常の電極形成プロセスにより、TTG レーザ部のコンタクト層 42

上に形成された膜厚 $1\ \mu\text{m}$ の Au/Zn よりなる電極 46 と、SOA 部のコンタクト層 42 上に形成された膜厚 $1\ \mu\text{m}$ の Au/Zn よりなる電極 48 と、TTG レーザ部の埋め込み層 38 上に形成された膜厚 $1\ \mu\text{m}$ の Au/Ge よりなる電極 50 と、SOA 部の埋め込み層 38 上に形成された膜厚 $1\ \mu\text{m}$ の Au/Ge よりなる電極 52 と、半導体基板 10 の裏面に形成された膜厚 $1\ \mu\text{m}$ の Au/Zn よりなる電極 54 とを形成する（図 1（b），（c）を参照）。

【0057】

次いで、TTG レーザ部の長さが例えば $400\ \mu\text{m}$ 、SOA 部の長さが例えば $600\ \mu\text{m}$ となるように、半導体基板 10 を劈開した後、端面に反射防止膜 56 を形成する（図 3（d））。

【0058】

こうして、p-InP よりなる半導体基板 10 上に、TTG-DFB レーザと SOA とを集積した図 1 に示す光半導体装置を製造することができる。

【0059】

このように、本実施形態によれば、半導体基板上に、TTG-DFB レーザと SOA とを集積するので、TTG-DFB レーザの特徴である連続且つ広い波長可変範囲を得ることができるとともに、SOA により出力光を大幅に増加することができる。

【0060】

なお、上記実施形態では、半導体基板 10 に接続する電極 54 を半導体基板 10 の裏面に形成したが、半導体基板 10 の表面側に形成するようにしてもよい。例えば図 1（b）に示す構造において、埋め込み層 38 の左側の p-InP 層 12 上面に電極 54 を形成することができる。

【0061】

〔第 2 実施形態〕

本発明の第 2 実施形態による光半導体装置及びその製造方法について図 4 及び図 5 を用いて説明する。なお、図 1 乃至図 3 に示す第 1 実施形態による光半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0062】

図4は本実施形態による光半導体装置の構造を示す概略断面図、図5は本実施形態による光半導体装置の製造方法を示す工程断面図である。

【0063】

はじめに、本実施形態による光半導体装置の構造について図4を用いて説明する。なお、図4(a)はメサストライプの延在方向に沿った概略断面図、図4(b)は図4(a)のA-A'線断面に沿ったTTGレーザ部の概略断面図、図4(c)は図4(a)のB-B'線断面に沿ったSOA部の概略断面図である。

【0064】

本実施形態による光半導体装置は、TTGレーザ部におけるMQW活性層20から埋め込み層30に至る積層構造が逆向きになっている点を除き、第1実施形態による光半導体装置と同様である。

【0065】

すなわち、TTGレーザ部は、図4(b)に示すような断面構造を有している。p-InPよりなる半導体基板10上には、p-InP層12と、回折格子28が形成されたInGaAsP層26と、InGaAsP層よりなる埋め込み層30と、InGaAsP層よりなるチューニング層24と、n-InP層よりなる中間層22と、MQW活性層20とが形成されている。MQW活性層20、中間層22、チューニング層24、埋め込み層30及びInGaAsP層26は、メサ形状にパターニングされ、メサストライプが形成されている。メサストライプの両側には、n-InP層よりなる埋め込み層38が形成されている。MQW活性層20及び埋め込み層38上には、p-InP層40が形成されている。p-InP層40上には、p-InGaAs層よりなるコンタクト層42を介してAu/Znよりなる電極46が形成されている。埋め込み層38上には、Au/Geよりなる電極50が形成されている。半導体基板10の下面には、Au/Znよりなる電極54が形成されている。p-InP層12、40、埋め込み層38の露出面上には、シリコン酸化膜よりなる保護膜44が形成されている。

【0066】

SOA部は、図4(c)に示すように、基本的には図1(c)に示す第1実施

形態による光半導体装置と同様である。本実施形態による光半導体装置が異なる点は、下部クラッド層 18 の上面が、中間層 22 の上面とほぼ等しくなっていることにある。

【0067】

本実施形態による光半導体装置では、電極 54 と電極 50 との間に所定の電圧を印加し、電極 54 から電流を注入する。電極 54 から注入された電流は、 $p-I n P$ 層 40 を介して MQW 活性層 20 に注入され、中間層 22 及び埋め込み層 38 を介して電極 50 から引き出される。MQW 活性層 20 に発振閾値以上の電流を注入することにより、MQW 活性層 20 で発光した光が回折格子 28 により DFB モードで発振する。

【0068】

同時に、電極 46 と電極 50 との間に所定の電圧を印加し、電極 46 から電流を注入する。電極 46 から注入された電流は、 $p-I n P$ 層 12、埋め込み層 30 及び $I n G a A s P$ 層 26 を介してチューニング層 24 に注入され、中間層 22 及び埋め込み層 38 を介して電極 50 から引き出される。チューニング層 24 に電流を注入することにより、プラズマ効果で屈折率が減少し、光導波路層の実効的な屈折率が減少する。これにより、DFB 発振波長は短波長化する。したがって、DFB 発振波長は、チューニング層 24 に注入する電流により制御することができる。

【0069】

次に、本実施形態による光半導体装置の製造方法について図 5 を用いて説明する。

【0070】

まず、例えば不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の $p-I n P$ よりなる半導体基板 10 上に、例えば MOCVD 法により、例えば膜厚が 2000 nm、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の $p-I n P$ 層 12 を堆積する。

【0071】

次いで、 $p-I n P$ 層 12 上に、膜厚 200 nm の $1.15 \mu\text{m}$ 組成の $I n G a A s P$ 層 26 を形成する。

【0072】

次いで、干渉露光法を用いたフォトリソグラフィー及びドライエッチングにより InGaAsP 層 26 をエッチングし、InGaAsP 層 26 の表面に回折格子 28 を形成する。回折格子 28 のピッチ間隔は、例えば 240 nm とする。

【0073】

次いで、回折格子 28 が形成された InGaAsP 層 26 上に、例えば MOCVD 法により、膜厚 100 nm の p-InP 層よりなる埋め込み層 30 を形成する (図 5 (a))。

【0074】

次いで、埋め込み層 30 上に、例えば MOCVD 法により、例えば膜厚が 290 nm、 $1.3 \mu\text{m}$ 組成の InGaAsP 層と、例えば膜厚が 160 nm、不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ の n-InP 層とを形成する。こうして、埋め込み層 30 上に、InGaAsP 層よりなるチューニング層 24 と、n-InP 層よりなる中間層 22 とを形成する (図 5 (b))。

【0075】

次いで、中間層 22 上に、例えば CVD 法により、シリコン酸化膜 32 を堆積する。

【0076】

次いで、フォトリソグラフィー及びドライエッチングにより、SOA 部のシリコン酸化膜 32 を選択的に除去する。

【0077】

次いで、シリコン酸化膜 32 をマスクとして、中間層 22、チューニング層、埋め込み層 30 及び InGaAsP 層 26 をエッチングし、SOA 部の中間層 22、チューニング層、埋め込み層 30 及び InGaAsP 層 26 を除去する (図 5 (c))。

【0078】

次いで、例えば MOCVD 法により、例えば不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ 、膜厚が約 550 nm の n-InP 層を p-InP 層 12 上に選択成長する。この n-InP 層は、中間層 22 とほぼ等しい厚さになるように成長する。こうして

、SOA部に、p-InP層よりなる下部クラッド層18を形成する。

【0079】

次いで、埋め込み層30上のシリコン酸化膜32を除去する。

【0080】

次いで、中間層22及び下部クラッド層18上に、例えばMOCVD法により、例えば第1実施形態による光半導体装置と同様のMQW活性層20を形成する。

【0081】

次いで、MQW活性層20上に、例えばCVD法により、シリコン酸化膜36を堆積する。

【0082】

次いで、フォトリソグラフィー及びドライエッチングにより、シリコン酸化膜36をパターニングし、メサストライプの形成予定領域に選択的にシリコン酸化膜36を残存させる（図5（d））。

【0083】

次いで、シリコン酸化膜36をマスクとして、TTGレーザ部のMQW活性層20、中間層22、チューニング層24、埋め込み層30、InGaAsP層26を、及びSOA部のMQW活性層20及び下部クラッド層18を、異方性エッチングし、例えば幅が $1.0\mu\text{m}$ のメサストライプを形成する（図4（b）、（c）を参照）。

【0084】

次いで、例えば図3（c）及び図3（d）に示す第1実施形態による光半導体装置の製造方法と同様にして、埋め込み層38、p-InP層40、保護膜44、電極46、48、50、52、54、反射防止膜56等を形成することにより、図4に示す光半導体装置を製造することができる。

【0085】

このように、本実施形態によれば、半導体基板上に、TTG-DFBレーザとSOAとを集積するので、TTG-DFBレーザの特徴である連続且つ広い波長可変範囲を得ることができるとともに、SOAにより出力光を大幅に増加するこ

とができる。

【0086】

[第3実施形態]

本発明の第3実施形態による光半導体装置及びその製造方法について図6を用いて説明する。なお、図1乃至図5に示す第1及び第2実施形態による光半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0087】

図6は本実施形態による光半導体装置の構造を示す概略断面図である。

【0088】

本実施形態による光半導体装置は、基本的な構造は図1に示す第1実施形態による光半導体装置と同様である。本実施形態による光半導体装置が第1実施形態による光半導体装置と異なる点は、SOA部において、p-InP層12と下部クラッド層18との間に、例えば膜厚が300nm、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn-InP層60と、例えば膜厚が500nm、不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ のp-InP層62とが形成されていることに特徴がある。

【0089】

下部クラッド層18の下層に、n-InP層60及びp-InP層62を形成することにより、半導体基板10と下部クラッド層18との間には、p型半導体層とn型半導体層とが繰り返し積層されたpnpn接合が形成され、半導体基板10と下部クラッド層18とがより効果的に電氣的に絶縁される。したがって、本実施形態による光半導体装置によれば、SOAのMQW活性層20に注入する電流によるTTG-DFBレーザのMQW活性層20に注入する電流への影響を更に抑制することができる。

【0090】

なお、本実施形態による光半導体装置は、第1実施形態による光半導体装置の製造方法における図2(b)に示す工程において、下部クラッド層18となるn-InP層の成長に先立ち、n-InP層60とp-InP層62とを成長することにより、製造することができる。

**【0091】**

このように、本実施形態によれば、半導体基板とSOAとの間の電氣的な絶縁性を向上するので、SOAの活性層に注入する電流によるTTG-DFBレーザの活性層に注入する電流への影響を更に抑制することができる。

【0092】

なお、上記実施形態では、n-InP層60及びp-InP層62とを設けてpn接合分離により半導体基板10と下部クラッド層18との間の電氣的な絶縁性を向上したが、n-InP層60及びp-InP層62の代わりに、例えば膜厚が800nmの半絶縁性InP層を設けるようにしてもよい。半絶縁性InP層としては、例えば $1 \times 10^{17} \text{ cm}^{-3}$ の濃度でFeをドーピングしたInP層を適用することができる。

【0093】

また、上記実施形態では、半導体基板10と下部クラッド層18との間に、n-InP層60及びp-InP層62の2つの半導体層を設けたが、3層以上の半導体層を設けるようにしてもよい。

【0094】

また、上記実施形態では、第1実施形態による光半導体装置において半導体基板とSOAとの間の電氣的な絶縁性を向上したが、第2実施形態による光半導体装置の場合も同様に適用することができる。

【0095】**[第4実施形態]**

本発明の第4実施形態による光半導体装置及びその製造方法について図7を用いて説明する。なお、図1乃至図6に示す第1乃至第3実施形態による光半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0096】

図7は本実施形態による光半導体装置の構造を示す概略断面図である。なお、図7(a)はメサストライプの延在方向に沿った概略断面図、図7(b)は図7(a)のA-A'線断面に沿ったTTGレーザ部の概略断面図、図7(c)は図

7 (a) の B-B' 線断面に沿った SOA 部の概略断面図である。

【0097】

本実施形態による光半導体装置は、図 7 (a), (b) に示すように、TTG レーザ部の構造は図 1 に示す第 1 実施形態による光半導体装置と同様である。一方、SOA 部は、MQW 活性層 20 と n-InP 層との上下関係が逆である点、中間層 20 が SOA 部に延在している点において、第 1 実施形態による光半導体装置と異なっている。すなわち、図 7 (a), (c) に示すように、SOA 部の MQW 活性層 20 上には、中間層 22 と、n-InP 層よりなる上部クラッド層 34a が形成されている。また、SOA 部の層構造をこのように変更したことに伴い、SOA 部の半導体基板 10 下面側に、SOA に電流を注入するための電極 48 が設けられている。

【0098】

本実施形態による光半導体装置では、電極 48 と電極 52 との間に所定の電圧を印加し、電極 48 から SOA へ電流を注入する。電極 48 から注入された電流は、半導体基板 10 及び p-InP 層 12 を介して MQW 活性層 20 に注入され、中間層 22、上部クラッド層 34a 及び埋め込み層 38 を介して電極 52 から引き出される。MQW 活性層 20 に所定の電流を注入することにより、MQW 活性層 20 内を伝搬する光を増幅することができる。このとき、MQW 活性層 20 上には、中間層 22 及び上部クラッド層 34a よりなりある程度の厚さを持った n-InP 層が形成されているため、電気抵抗を低く保ちながら活性層に電流を注入することができる。

【0099】

したがって、TTG レーザ部における波長可変の制御と SOA 部における光増幅の制御とを独立して行うにあたり、SOA 部での発熱は抑制され、利得波長の大きな長波化シフトと利得の低下が抑えられ、連続的に広い波長可変幅を持ちながら同時に程度の高い光出力を実現することができる。

【0100】

なお、本実施形態による光半導体装置は、第 1 実施形態による光半導体装置の製造方法における図 2 (a) ~ (b) の工程を省略するとともに、図 3 (a) の

工程において中間層 22 を残存し、中間層 22 上に $n\text{-InP}$ 層よりなる上部クラッド層 34a を成長することにより、製造することができる。

【0101】

このように、本実施形態によれば、半導体基板上に、TTG-DFB レーザと SOA とを集積するので、TTG-DFB レーザの特徴である連続且つ広い波長可変範囲を得ることができるとともに、SOA により出力光を大幅に増加することができる。

【0102】

なお、上記実施形態では、SOA 部に中間層 22 を残存したが、中間層 22 を除去するようにしてもよい。

【0103】

また、上記実施形態では、半導体基板 10 に接続する電極 48 を半導体基板 10 の裏面に形成したが、半導体基板 10 の表面側に形成するようにしてもよい。例えば図 1 (b) に示す構造において、埋め込み層 38 の左側の $p\text{-InP}$ 層 12 上面に電極 48 を形成することができる。

【0104】

また、上記実施形態では、第 1 実施形態による光半導体装置において SOA 部の構造を変更したが、第 2 実施形態による光半導体装置の場合も同様に適用することができる。

【0105】

[第 5 実施形態]

本発明の第 5 実施形態による光半導体装置及びその製造方法について図 8 を用いて説明する。なお、図 1 乃至図 7 に示す第 1 乃至第 4 実施形態による光半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0106】

図 8 は本実施形態による光半導体装置の構造を示す概略断面図である。

【0107】

本実施形態による光半導体装置は、基本的な構造は図 1 に示す第 1 実施形態に

よる光半導体装置と同様である。本実施形態による光半導体装置は、TTGレーザ部とSOA部とにおいて、活性層の構造が異なることを特徴としている。

【0108】

本実施形態による光半導体装置は、TTGレーザ部のMQW活性層20の構造は、第1実施形態による光半導体装置と同様である。一方、SOA部のMQW活性層20aは、TTGレーザ部のMQW活性層20とは異なり、以下の構造により構成されている。

【0109】

すなわち、下部クラッド層18上には、 $1.25\mu\text{m}$ 組成のInGaAsPよりなる膜厚40nmのSCH層が形成されている。SCH層上には、 $1.25\mu\text{m}$ 組成のInGaAsPよりなる膜厚10nmのバリア層と、0.8%の圧縮歪が導入されたInGaAsPよりなる膜厚5.1nmの井戸層とが繰り返し積層されてなり、6層の井戸層を有し、MQWのPL波長が $1.54\mu\text{m}$ である多重量子井戸層が形成されている。多重量子井戸層上には、 $1.25\mu\text{m}$ 組成のInGaAsPよりなる膜厚40nmのSCH層が形成されている。

【0110】

次いで、下部クラッド層14、18上に、例えばMOCVD法により、 $1.15\mu\text{m}$ 組成のInGaAsPよりなる膜厚100nmのSCH層と、 $1.25\mu\text{m}$ 組成のInGaAsPよりなる膜厚40nmのSCH層とを堆積する。

【0111】

このようにして光半導体装置を構成することにより、TTG-DFBレーザとSOAとの要求に応じて活性層の構造をそれぞれ最適化することができる。

【0112】

このように、本実施形態によれば、TTG-DFBレーザとSOAとに異なる活性層構造を採用するので、TTG-DFBレーザとSOAの構造をそれぞれ最適化することができる。

【0113】

なお、上記実施形態では第1実施形態による光半導体装置においてSOA部の活性層構造を変更したが、第2乃至第4実施形態による光半導体装置の場合も同

様に適用することができる。

【0114】

また、SOA部の活性層の構造は、本実施形態に記載の構造に限定されるものではない。

【0115】

[第6実施形態]

本発明の第6実施形態による光半導体装置及びその製造方法について図9を用いて説明する。なお、図1乃至図8に示す第1乃至第5実施形態による光半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0116】

図9は本実施形態による光半導体装置の構造を示す概略断面図である。

【0117】

本実施形態による光半導体装置は、図7に示す第4実施形態による光半導体装置において、TTGレーザ部とSOA部との間に、光発振や光増幅に寄与しない光導波路部が設けられていることに特徴がある。光導波路部の長さは、例えば100～1000 μ m程度である。

【0118】

第4実施形態による光半導体装置では、TTG-DFBレーザの活性層に注入する電流と、SOAの活性層に注入する電流とを、ともに半導体基板10側から注入する。このため、第1乃至第3実施形態による光半導体装置と比較すると、TTGレーザ部とSOA部とが電氣的に干渉しやすい。

【0119】

本実施形態による光半導体装置のようにTTGレーザ部とSOA部との間に光導波路部を設けると、電極54と電極46との間の抵抗を高めることができ、TTGレーザ部とSOA部との間の電氣的な干渉を抑制することができる。

【0120】

なお、光導波路部の上部クラッド層は、埋め込み層30と同時に形成することができる。或いは、上部クラッド層34aと同様にして、別途形成するようにし

てもよい。

【0121】

このように、本実施形態によれば、TTGレーザ部とSOA部との間に光導波路部を設けるので、TTGレーザ部とSOA部との間の電氣的な干渉を抑制することができる。

【0122】

[第7実施形態]

本発明の第7実施形態による光半導体装置及びその製造方法について図10を用いて説明する。なお、図1乃至図9に示す第1乃至第6実施形態による光半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0123】

図10は本実施形態による光半導体装置の構造を示す平面図である。

【0124】

本実施形態による光半導体装置は、図10に示すように、TTGレーザ部におけるメサストライプ64の幅とSOA部のメサストライプ66との幅が異なり、TTGレーザ部とSOA部との間の領域に、幅が連続的に変化する形状を有するテーパ光導波路68が設けられていることに特徴がある。

【0125】

TTG-DFBレーザ及びSOAのそれぞれの要求からデバイス構造を最適化した場合、TTG-DFBレーザの活性層の幅（メサストライプ64の幅）と、SOAの活性層の幅（メサストライプ66の幅）とが異なることがある。このような場合、本実施形態による光半導体装置のようにTTGレーザ部とSOA部との間の領域にテーパ光導波路68を設けることにより、TTG-DFBレーザとSOAとの間における光損失を低減することができる。

【0126】

例えば、TTG-DFBレーザの活性層の幅が $1.0\mu\text{m}$ で、SOAの活性層の幅が $1.6\mu\text{m}$ である場合、TTGレーザ部とSOA部との間に、長さ $100\mu\text{m}$ 以上のテーパ光導波路68を設けることにより、TTG-DFBレーザとS

OAとの間における光損失を効果的に低減することができる。

【0127】

なお、TTGレーザ部及びSOA部との間に、第6実施形態のように光発振や光増幅に寄与しない光導波路部を有する場合にあっては、この光導波路部の形状をテーパ形状にしてもよい。

【0128】

このように、本実施形態によれば、TTGレーザ部とSOA部との間に、テーパ光導波路を設けるので、TTG-DFBレーザとSOAとの間における光損失を低減することができる。

【0129】

[第8実施形態]

本発明の第7実施形態による光半導体装置及びその製造方法について図11を用いて説明する。なお、図1乃至図10に示す第1乃至第7実施形態による光半導体装置及びその製造方法と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0130】

図11は本実施形態による光半導体装置の構造を示す平面図である。

【0131】

半導体基板10上には、複数のTTG-DFBレーザ70と、TTG-DFBレーザ70の一端にそれぞれ接続された複数の光導波路72と、複数の光導波路72内を伝搬する光を合波する光合波器74と、光合波器74から出力された光を増幅するSOA76とが形成されている。

【0132】

各TTG-DFBレーザ70は、互いに異なる発振中心波長を有している。TTG-DFBレーザ70としては、第1乃至第6実施形態による光半導体装置のTTG-DFBレーザを適用することができる。SOAには、第1乃至第6実施形態による光半導体装置のSOAを適用することができる。

【0133】

光導波路72としては、InGaAsP層をコア層とし、InP層をクラッド

層とした光導波路を用いることができる。下部クラッド層としては、例えば、膜厚が750 nm、不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ のp-InP層を用いることができる。コア層としては、例えば、膜厚が200 nm、1.3 μm 組成のノンドープInGaAsP層を用いることができる。上部クラッド層としては、例えば、膜厚が350 nm、不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ のp-InP層を用いることができる。

【0134】

光合波器74には、例えば多モード干渉導波路型(MMI)光合波器を用いることができる。MMI光合波器を用いた場合、寸法は $40 \times 300 \mu\text{m}$ 程度である。

【0135】

このように、本実施形態による光半導体装置は、半導体基板上に、複数のTTG-DFBレーザと一つのSOAとを集積したことに主たる特徴がある。このようにして光半導体装置を構成することにより、複数のTTG-DFBレーザによってより広い波長可変範囲を得ることができるとともに、SOAにより出力光を大幅に増加することができる。

【0136】

このように、本実施形態によれば、複数のTTG-DFBレーザと一つのSOAとを集積するので、より広い波長可変範囲を得ることができるとともに、SOAにより出力光を大幅に増加することができる。

【0137】

本発明は上記実施形態に限らず種々の変形が可能である。

【0138】

例えば、上記実施形態では、P型半導体基板を用いた光半導体装置について示したが、N型半導体基板を用いた光半導体装置においても同様に適用することができる。この場合、上記実施形態において各層の導電型を入れ替えるようにすればよい。

【0139】

また、上記実施形態では、InP基板を用いた光半導体装置について示したが

、GaAs 基板その他の化合物半導体基板を用いた光半導体装置においても同様に適用することができる。

【0 1 4 0】

以上詳述した通り、本発明の特徴をまとめると以下の通りとなる。

【0 1 4 1】

(付記 1) 第 1 導電型の半導体基板の第 1 の領域上に形成され、電流注入により光を発生する第 1 の活性層と、前記第 1 の活性層との間に第 2 導電型の間層を介して形成され、電流注入により発振波長を変化するチューニング層と、前記第 1 の活性層及び前記チューニング層の近傍に形成された回折格子とを有する光発振部と、

前記半導体基板の第 2 の領域上に形成され、電流注入により光を増幅する第 2 の活性層を有し、前記光発振部により発生した光を増幅する光増幅部とを有することを特徴とする光半導体装置。

【0 1 4 2】

(付記 2) 付記 1 記載の光半導体装置において、前記半導体基板と前記第 2 の活性層との間に、前記第 2 導電型のクラッド層が設けられていることを特徴とする光半導体装置。

【0 1 4 3】

(付記 3) 付記 2 記載の光半導体装置において、前記半導体基板と前記クラッド層との間に、導電型が互いに異なる 2 つの半導体層が形成されていることを特徴とする光半導体装置。

【0 1 4 4】

(付記 4) 付記 2 記載の光半導体装置において、前記半導体基板と前記クラッド層との間に、半絶縁性半導体層が形成されていることを特徴とする光半導体装置。

【0 1 4 5】

(付記5) 付記2乃至4のいずれか1項に記載の光半導体装置において、前記光増幅部に電流を注入するための第1の電極及び電流を引き出すための第2の電極は、前記半導体基板の表面側に形成されていることを特徴とする光半導体装置。

【0146】

(付記6) 付記5記載の光半導体装置において、前記光増幅部は、メサストライプに加工されており、前記第2の電極は、前記メサストライプの側面部において前記クラッド層に接続された前記第2導電型の半導体層の上に形成されていることを特徴とする光半導体装置。

【0147】

(付記7) 付記1記載の光半導体装置において、前記第2の活性層上に、前記第2導電型のクラッド層が設けられていることを特徴とする光半導体装置。

【0148】

(付記8) 付記7記載の光半導体装置において、前記中間層は、前記半導体基板の前記第2の領域に延在して形成されていることを特徴とする光半導体装置。

【0149】

(付記9) 付記7又は8記載の光半導体装置において、前記光増幅部に電流を注入するための第1の電極は前記半導体基板の裏面側に形成されており、前記光増幅部から電流を引き出すための第2の電極は前記半導体基板の表面側に形成されていることを特徴とする光半導体装置。

【0150】

(付記10) 付記9記載の光半導体装置において、前記光増幅部は、メサストライプに加工されており、前記第2の電極は、前記メサストライプの側面部において前記クラッド層に接続された前記第2導電型の半導体層の上に形成されている

ことを特徴とする光半導体装置。

【0151】

(付記 11) 付記 1 乃至 10 のいずれか 1 項に記載の光半導体装置において

、
前記光発振部と前記光増幅部との間に、光発振及び光増幅に寄与しない光導波路部を更に有する

ことを特徴とする光半導体装置。

【0152】

(付記 12) 付記 1 乃至 11 のいずれか 1 項に記載の光半導体装置において

、
前記第 1 の活性層と前記第 2 の活性層は、同一構造の半導体層により構成されている

ことを特徴とする光半導体装置。

【0153】

(付記 13) 付記 1 乃至 12 のいずれか 1 項に記載の光半導体装置において

、
前記光発振部は第 1 の幅を有するメサストライプ形状を有し、前記光増幅部は第 2 の幅を有するメサストライプ形状を有し、前記光発振部と前記光増幅部との間において、前記第 1 の幅から前記第 2 の幅に連続的に変化している

ことを特徴とする光半導体装置。

【0154】

(付記 14) 付記 1 乃至 13 のいずれか 1 項に記載の光半導体装置において

、
前記光増幅部の端面に設けられた反射防止膜を更に有する

ことを特徴とする光半導体装置

(付記 15) 付記 1 乃至 14 のいずれか 1 項に記載の光半導体装置において

、
前記光発振部は、中心発振波長が互いに異なる複数の光発振素子を有し、
前記光発振部と前記光増幅部との間に、前記複数の光発振素子から出力される

光を導波する複数の光導波路と、前記複数の光導波路と前記光増幅部とを接続する光合波部とを更に有する

ことを特徴とする光半導体装置。

【0155】

【発明の効果】

以上の通り、本発明によれば、半導体基板上に、TTG-DFBレーザとSOAとを集積するので、TTG-DFBレーザの特徴である連続且つ広い波長可変範囲を得ることができるとともに、SOAにより出力光を大幅に増加することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による光半導体装置の構造を示す概略断面図である。

【図2】

本発明の第1実施形態による光半導体装置の製造方法を示す工程断面図（その1）である。

【図3】

本発明の第1実施形態による光半導体装置の製造方法を示す工程断面図（その2）である。

【図4】

本発明の第2実施形態による光半導体装置の構造を示す概略断面図である。

【図5】

本発明の第2実施形態による光半導体装置の製造方法を示す工程断面図である。

【図6】

本発明の第3実施形態による光半導体装置の構造を示す概略断面図である。

【図7】

本発明の第4実施形態による光半導体装置の構造を示す概略断面図である。

【図8】

本発明の第5実施形態による光半導体装置の構造を示す概略断面図である。

【図 9】

本発明の第 6 実施形態による光半導体装置の構造を示す概略断面図である。

【図 10】

本発明の第 7 実施形態による光半導体装置の構造を示す平面図である。

【図 11】

本発明の第 8 実施形態による光半導体装置の構造を示す平面図である。

【符号の説明】

- 10…半導体基板
- 12…p-InP層
- 14, 18…下部クラッド層
- 16, 32, 36…シリコン酸化膜
- 20…MQW活性層
- 22…中間層
- 24…チューニング層
- 26…InGaAsP層
- 28…回折格子
- 30, 38…埋め込み層
- 34, 58…上部クラッド層
- 40…p-InP層
- 42…コンタクト層
- 44…保護膜
- 46, 48, 50, 52, 54…電極
- 56…反射防止膜
- 60…n-InP層
- 62…p-InP層
- 64, 66…メサストライプ
- 68…テーパ光導波路
- 70…TTG-DFBレーザ
- 72…光導波路

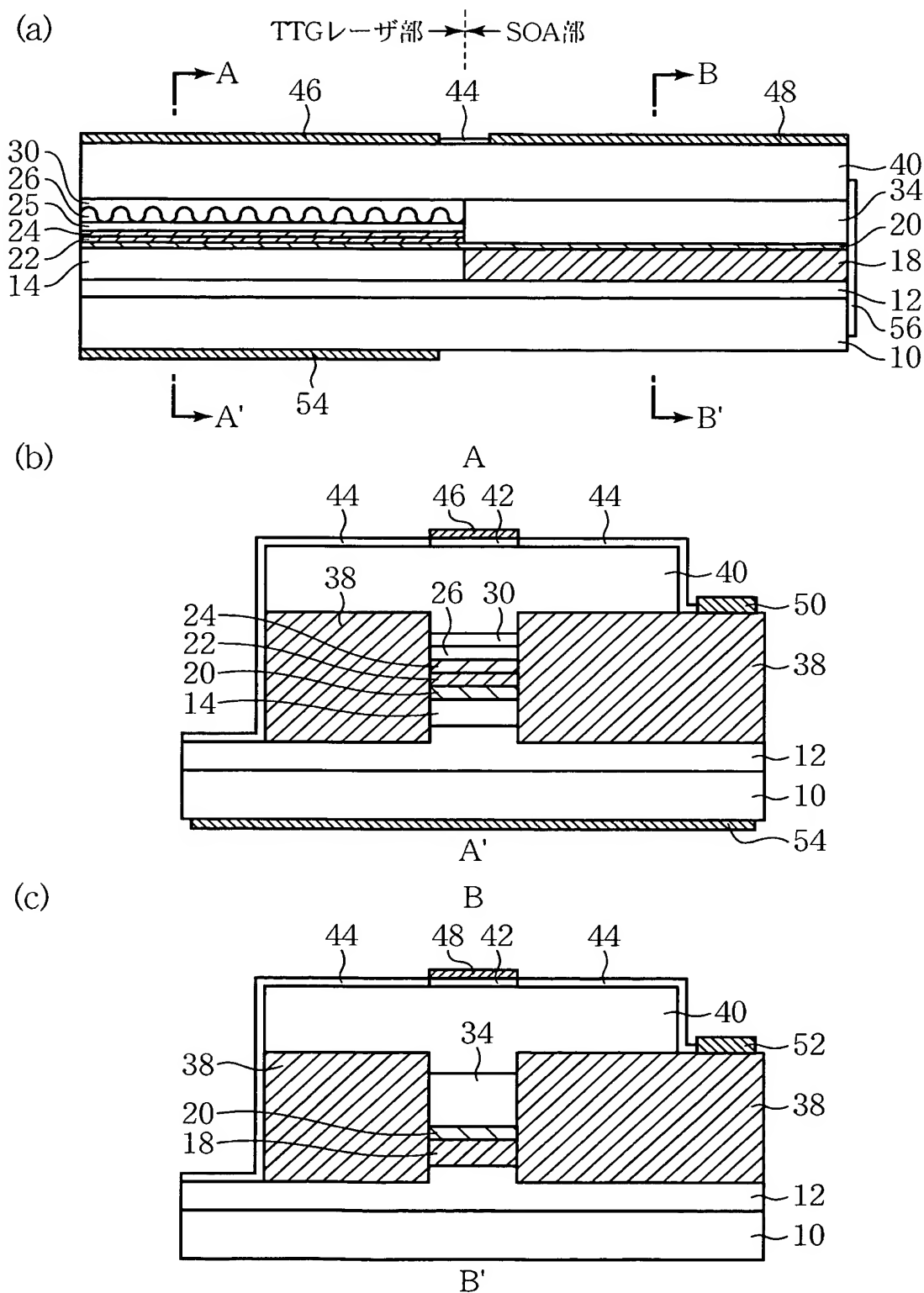
7 4 … 光合波器

7 6 … S O A

【書類名】 図面

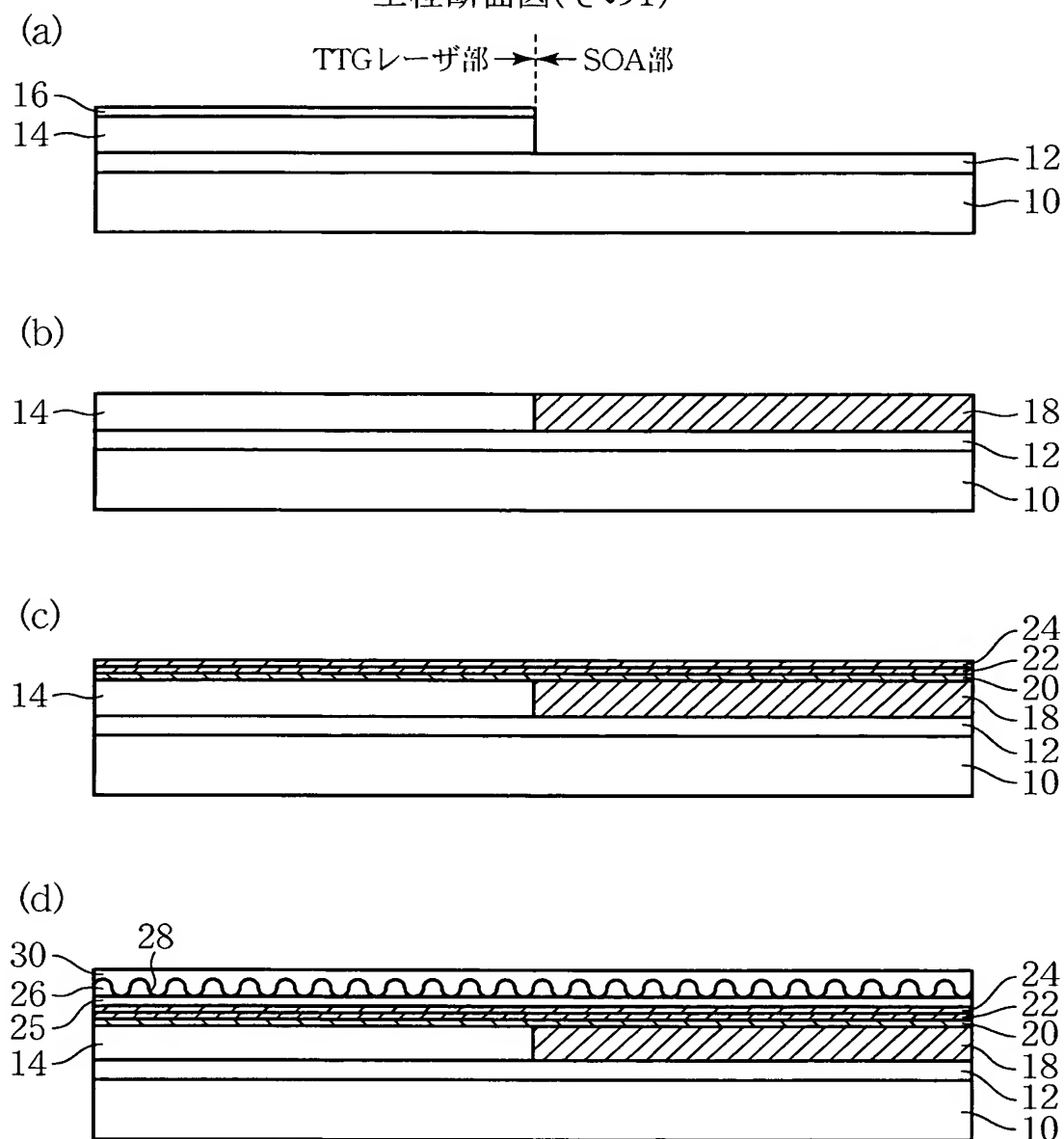
【図 1】

本発明の第1実施形態による光半導体装置の構造を示す概略断面図



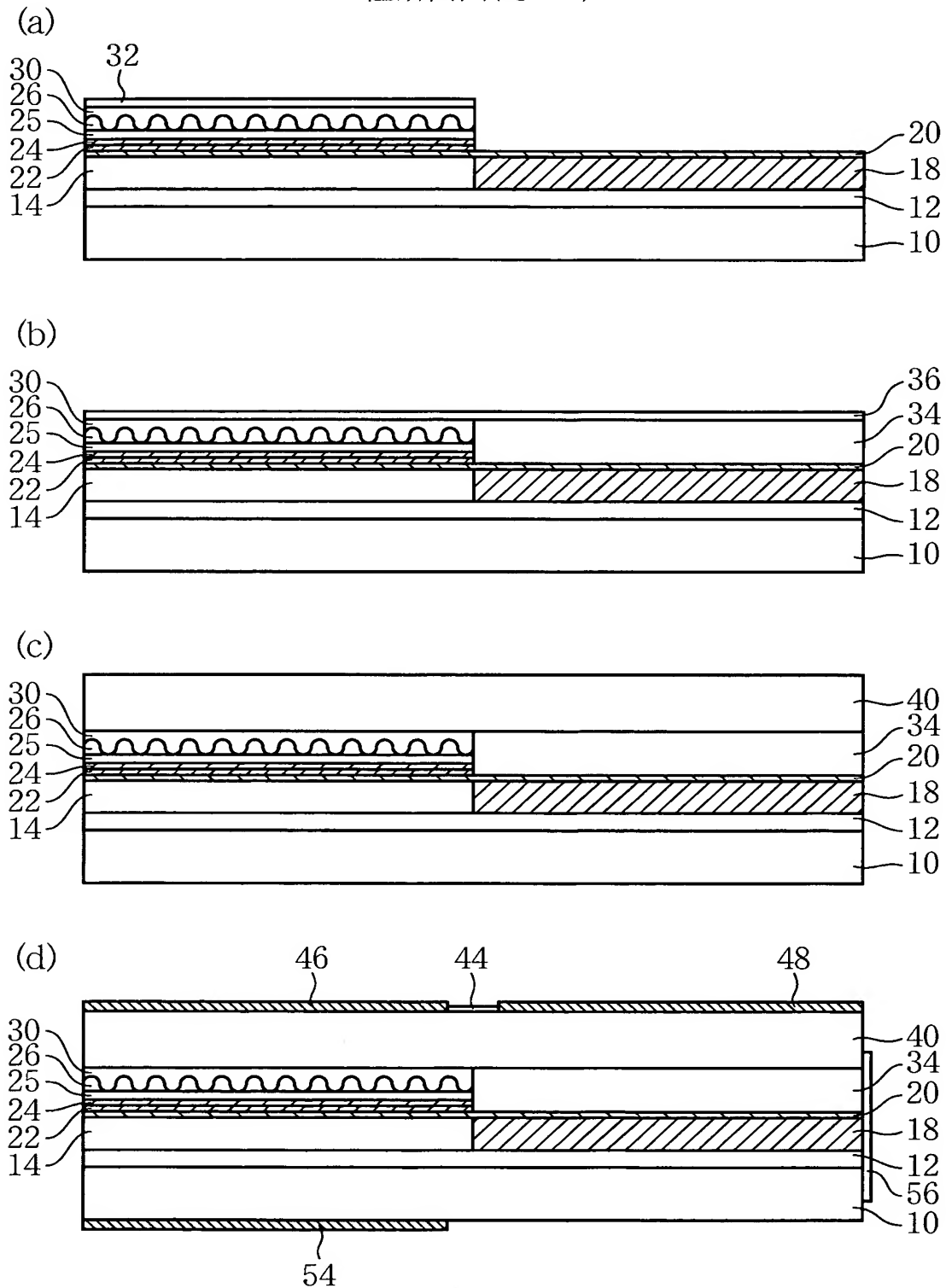
【図 2】

本発明の第1実施形態による光半導体装置の構造方法を示す
工程断面図(その1)



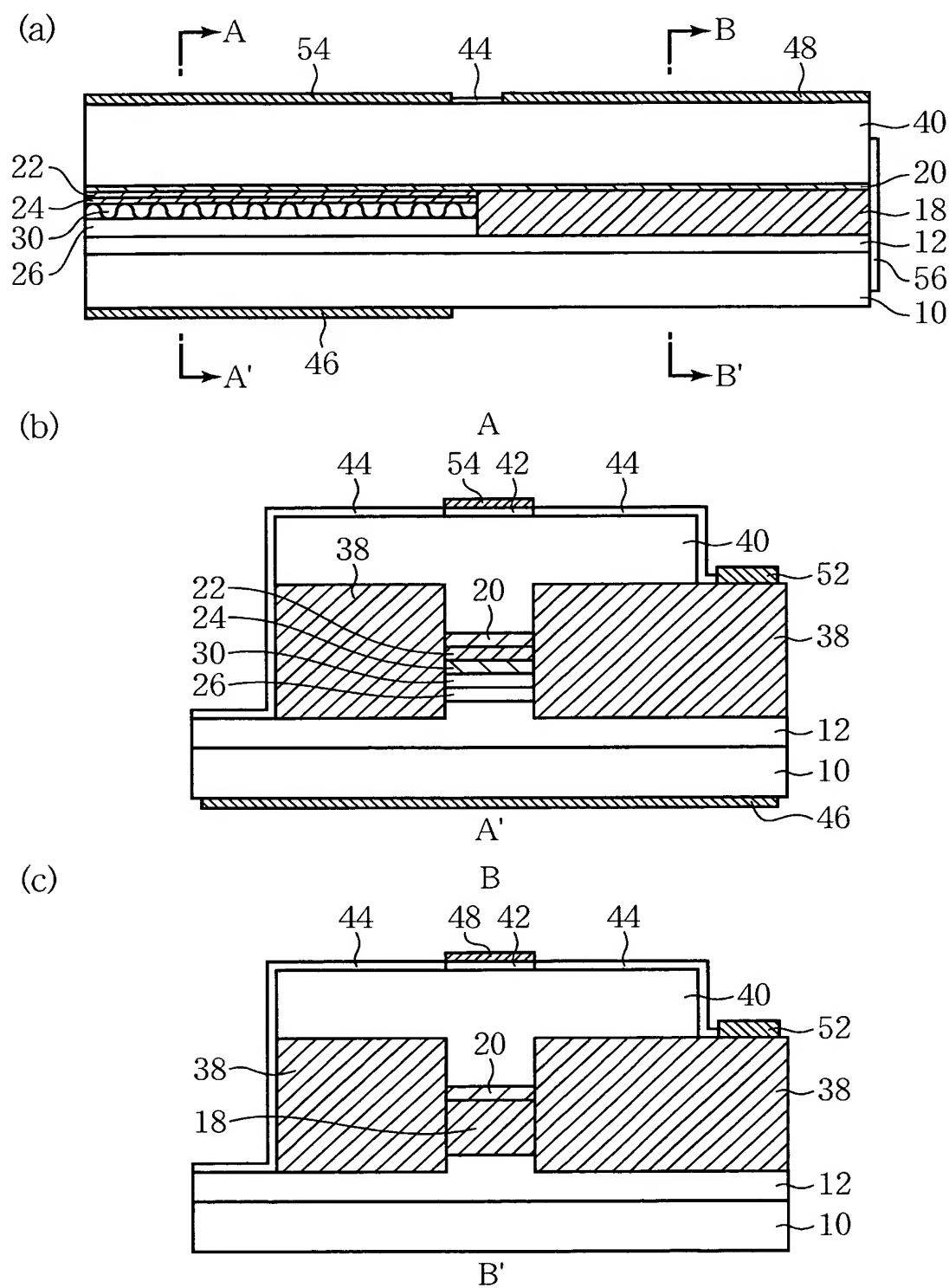
【図 3】

本発明の第1実施形態による光半導体装置の構造方法を示す
工程断面図(その2)



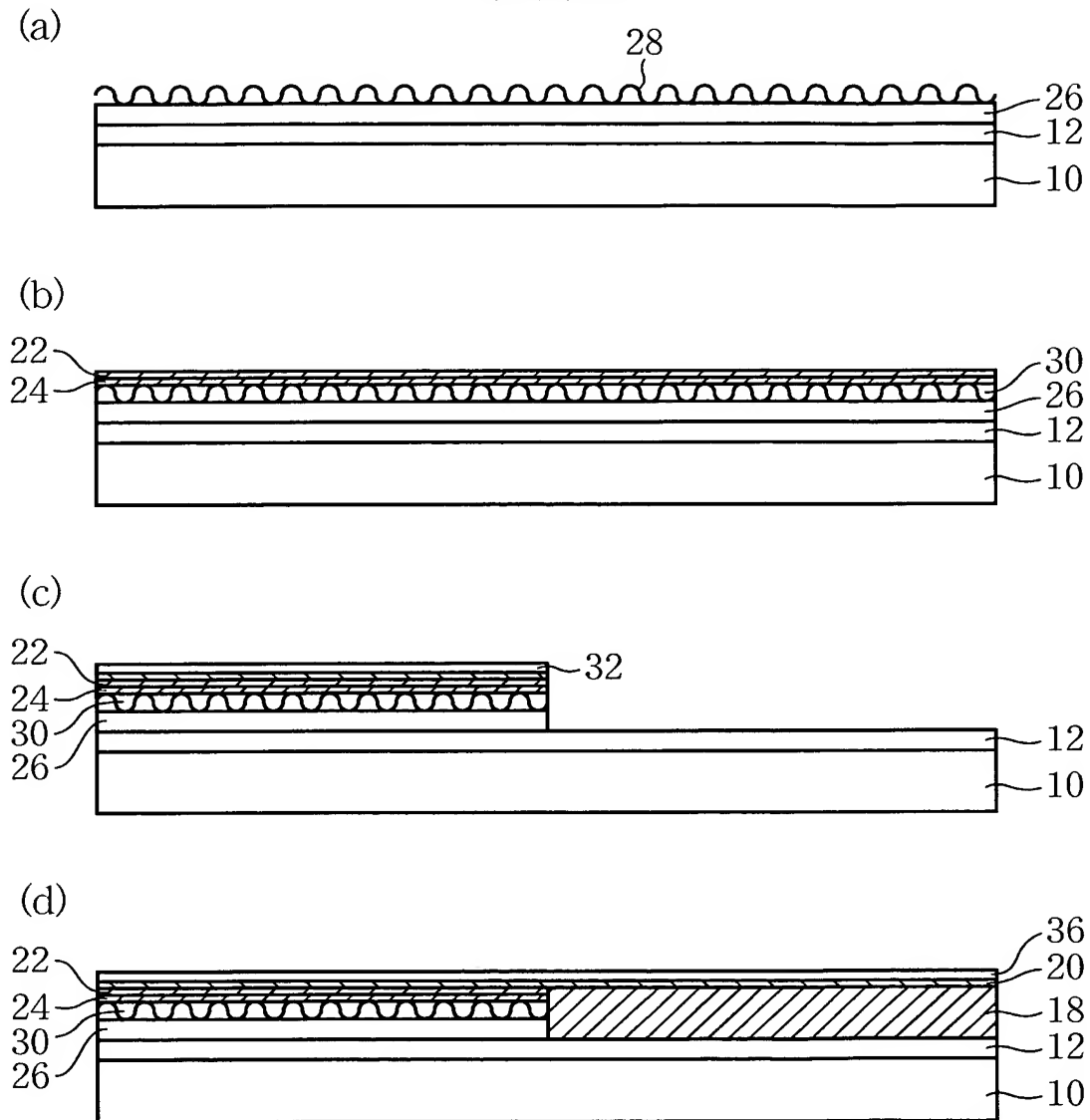
【図 4】

本発明の第2実施形態による光半導体装置の構造を示す概略断面図



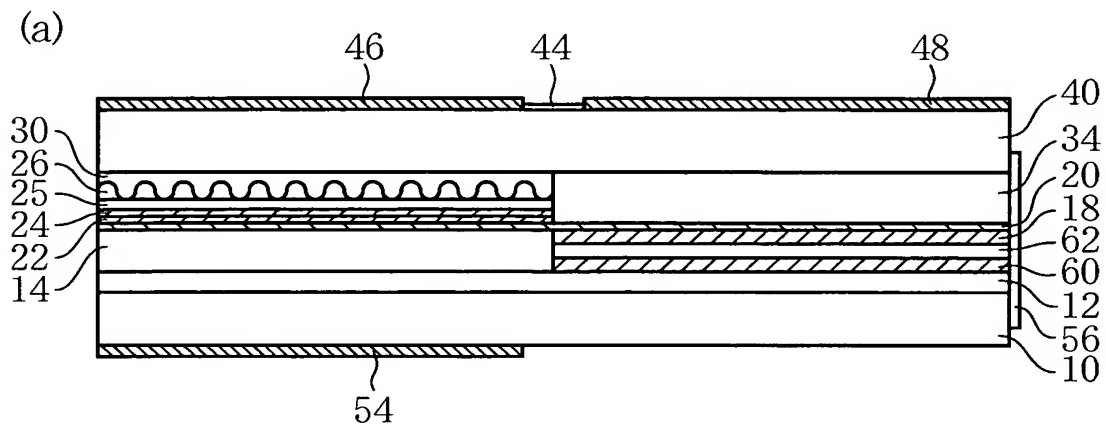
【図 5】

本発明の第2実施形態による光半導体装置の構造方法を示す
工程断面図



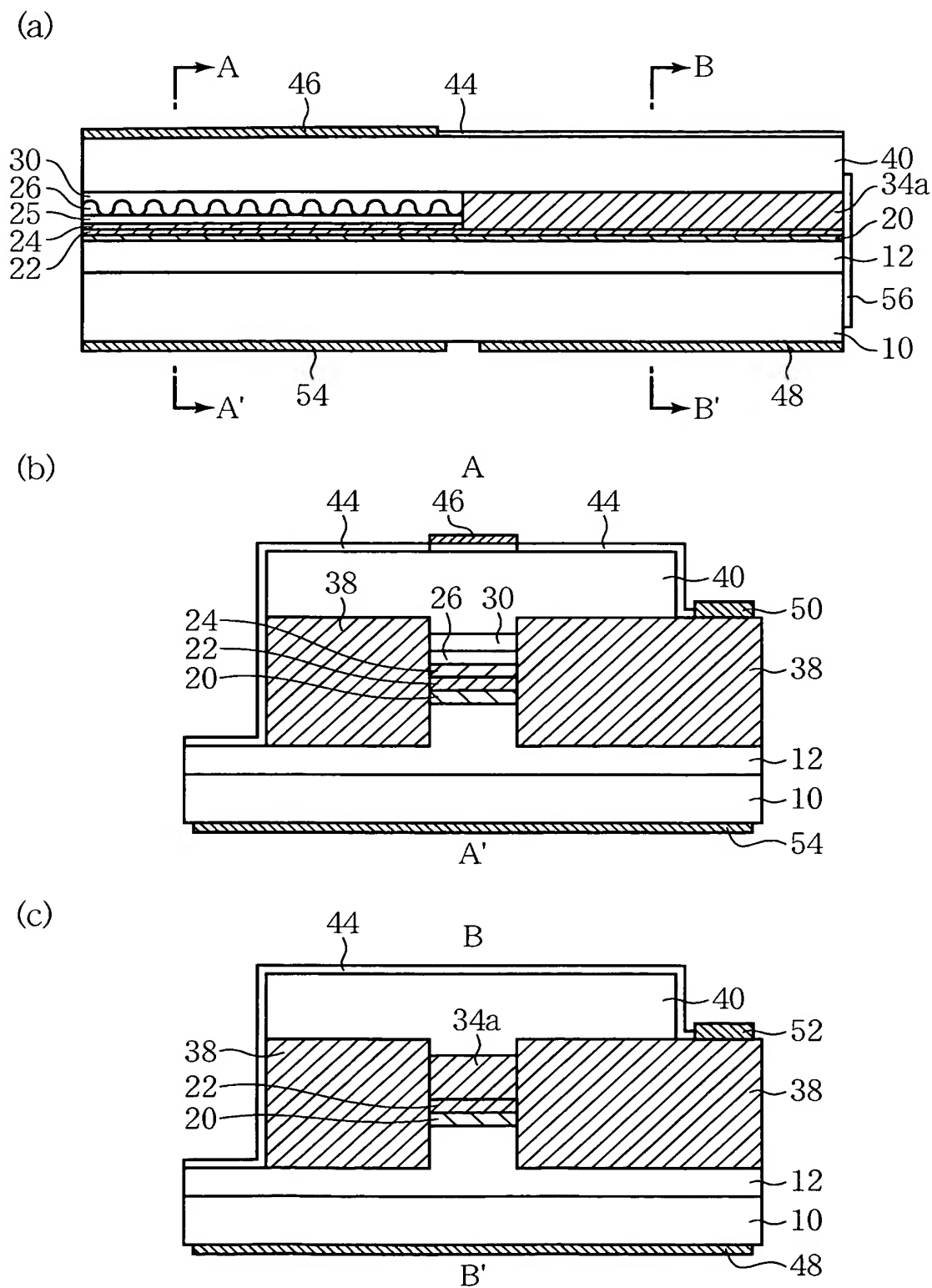
【図 6】

本発明の第3実施形態による光半導体装置の構造を示す概略断面図



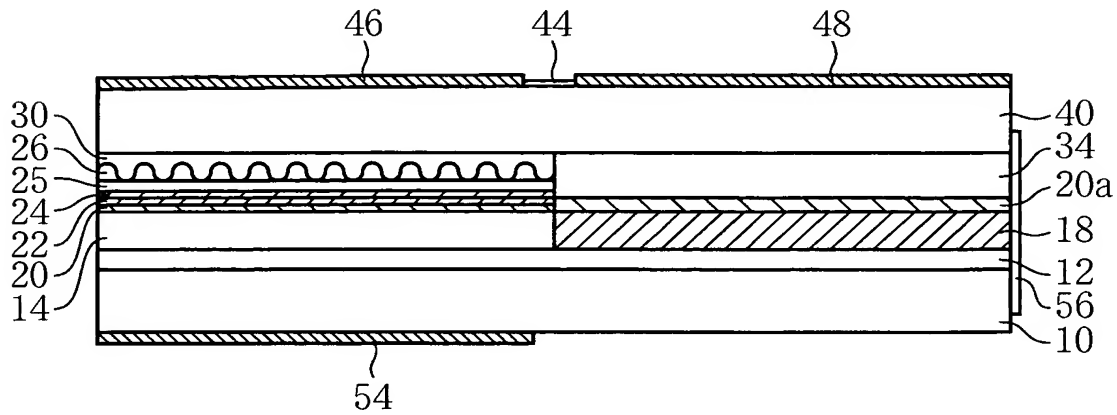
【図 7】

本発明の第4実施形態による光半導体装置の構造を示す概略断面図



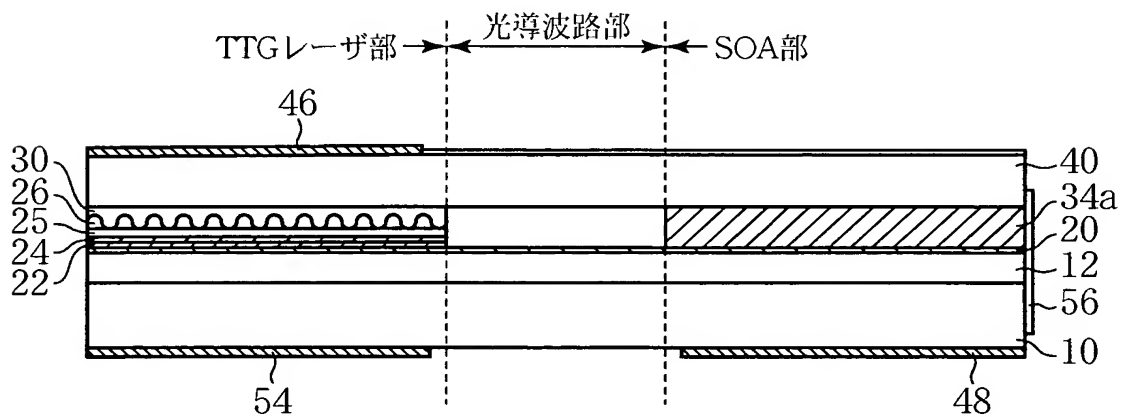
【図 8】

本発明の第5実施形態による光半導体装置の構造を示す概略断面図



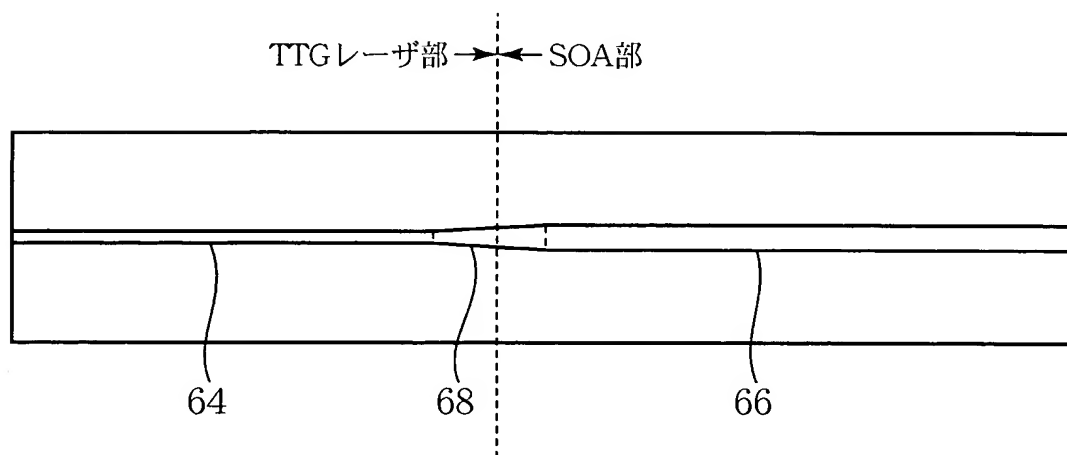
【図 9】

本発明の第6実施形態による光半導体装置の構造を示す概略断面図



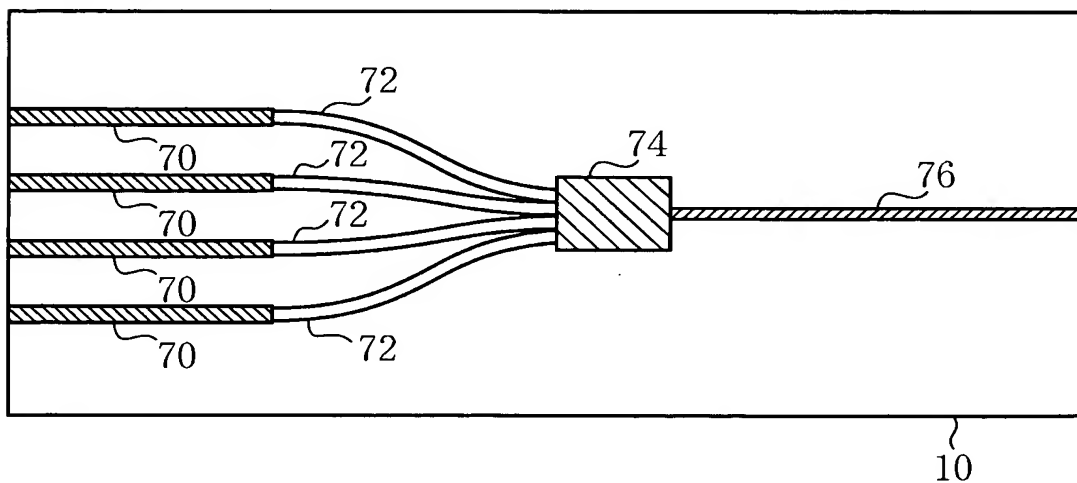
【図 10】

本発明の第7実施形態による光半導体装置の構造を示す平面図



【図 11】

本発明の第8実施形態による光半導体装置の構造を示す平面図



【書類名】 要約書

【要約】

【課題】 広い波長可変範囲を有するとともに高い光出力を得ることができる光半導体装置を提供する。

【解決手段】 電流注入により光を発生する活性層 2 0 と、活性層 2 0 との間に中間層 2 2 を介して形成され、電流注入により発振波長を変化するチューニング層 2 4 と、活性層 2 0 及びチューニング層 2 4 の近傍に形成された回折格子 2 8 とを有する光発振部と、電流注入により光を増幅する活性層 2 0 を有し、光発振部により発生した光を増幅する光増幅部とが半導体基板 1 0 上に形成されている。波長可変範囲の広い光発振素子と光増幅器とを半導体基板上に集積することにより、広い波長可変範囲が得られるとともに、出力光を大幅に増加することができる。

【選択図】 図 1

特願 2 0 0 2 - 3 0 6 8 3 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

- | | |
|----------|-----------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市中原区上小田中 1 0 1 5 番地 |
| 氏 名 | 富士通株式会社 |
| | |
| 2. 変更年月日 | 1 9 9 6 年 3 月 2 6 日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 |
| 氏 名 | 富士通株式会社 |